

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-229119

(43) 公開日 平成10年(1998) 8月25日

(51) Int.Cl.<sup>9</sup>

H 0 1 L 21/76

識別記号

F I

H 0 1 L 21/76

L

審査請求 未請求 請求項の数5 O L (全 13 頁)

(21) 出願番号 特願平9-33597

(22) 出願日 平成9年(1997) 2月18日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 石塚 典男

茨城県土浦市神立町502番地 株式会社日

立製作所機械研究所内

(72) 発明者 三浦 英生

茨城県土浦市神立町502番地 株式会社日

立製作所機械研究所内

(72) 発明者 池田 修二

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 小川 勝男

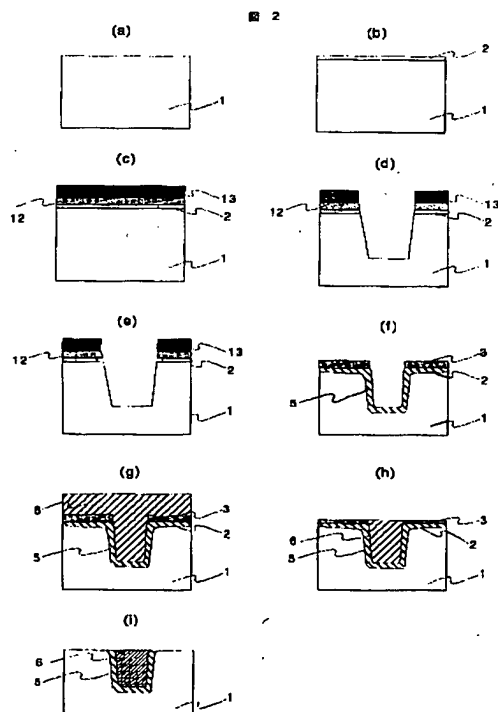
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 素子分離用溝上端部近傍の基板形状の鋭角化を引き起こすことのないような素子分離酸化膜構造を有する半導体装置及びその製造方法を提供する。

【解決手段】 溝分離構造を有する半導体製造工程において、溝酸化時、パット酸化膜を5nm以上後退させて酸化する。



## 【特許請求の範囲】

【請求項1】次の工程を含む半導体装置の製造方法

(1) 半導体基板の回路形成面にパット酸化膜を5 nm以上、好ましくは10 nm以上形成する工程

(2) 前記パット酸化膜の上に酸化防止膜を形成する工程

(3) 前記半導体基板の回路形成面の所望の位置に所定の深さの溝を形成する工程

(4) 前記パット酸化膜を5 nm以上、好ましくは10 nm以上後退させる工程

(5) 前記半導体基板に形成した溝部分を酸化する工程

(6) 前記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程

(7) 前記酸化防止膜の上に形成された前記埋め込み絶縁膜を除去する工程

(8) 前記半導体基板の回路形成面の上に形成された前記酸化防止膜を除去する工程

(9) 前記半導体基板の回路形成面の上に形成された前記パット酸化膜を除去する工程

【請求項2】次の工程を含む半導体装置の製造方法

(1) 半導体基板の回路形成面にパット酸化膜を5 nm以上、好ましくは10 nm以上形成する工程

(2) 前記パット酸化膜の上に酸化防止膜を形成する工程

(3) 前記半導体基板の回路形成面の所望の位置に所定の深さの溝を形成する工程

(4) 前記パット酸化膜を5 nm以上、好ましくは10 nm以上後退させる工程

(5) 前記半導体基板に形成した溝部分を $H_2/O_2$ ガス比0.5以下の酸化雰囲気中で酸化する工程

(6) 前記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程

(7) 前記酸化防止膜の上に形成された前記埋め込み絶縁膜を除去する工程

(8) 前記半導体基板の回路形成面の上に形成された前記酸化防止膜を除去する工程

(9) 前記半導体基板の回路形成面の上に形成された前記パット酸化膜を除去する工程

【請求項3】次の工程を含む半導体装置の製造方法

(1) 半導体基板の回路形成面にパット酸化膜を5 nm以上、好ましくは10 nm以上形成する工程

(2) 前記パット酸化膜の上に酸化防止膜を形成する工程

(3) 前記半導体基板の回路形成面の所望の位置に所定の深さの溝を形成する工程

(4) 前記パット酸化膜を5 nm以上、好ましくは10 nm以上後退させる工程

(5) 前記半導体基板に形成した溝部分を、後退させたパット酸化膜の空間がうまるまで酸化する工程

(6) 前記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程

## む工程

(7) 前記酸化防止膜の上に形成された前記埋め込み絶縁膜を除去する工程

(8) 前記半導体基板の回路形成面の上に形成された前記酸化防止膜を除去する工程

(9) 前記半導体基板の回路形成面の上に形成された前記パット酸化膜を除去する工程

【請求項4】次の工程を含む半導体装置の製造方法

(1) 半導体基板の回路形成面にパット酸化膜を5 nm以上、好ましくは10 nm以上形成する工程

(2) 前記パット酸化膜の上に酸化防止膜を形成する工程

(3) 前記半導体基板の回路形成面の所望の位置に所定の深さの溝を形成する工程

(4) 前記パット酸化膜を5 nm以上、好ましくは10 nm以上後退させる工程

(5) 前記半導体基板に形成した溝部分を次の条件で酸化する工程

酸化雰囲気： $H_2/O_2$ ガス比0.5以下

酸化量：後退させたパット酸化膜の空間が埋まるまで

(6) 前記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程

(7) 前記酸化防止膜の上に形成された前記埋め込み絶縁膜を除去する工程

(8) 前記半導体基板の回路形成面の上に形成された前記酸化防止膜を除去する工程

(9) 前記半導体基板の回路形成面の上に形成された前記パット酸化膜を除去する工程

【請求項5】半導体基板の回路形成面に形成された素子分離酸化膜構造が溝分離構造である半導体装置において、前記溝分離構造の溝の中央部側面での酸化量が5

(好ましくは30)~70 nmの範囲であり、また、溝の前記半導体基板の上端部の曲率半径が3~35 nmの範囲であることを特徴とする半導体装置

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、信頼性の高い溝分離構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】半導体基板上で隣接した素子間を電氣的に絶縁分離する構造としてLOCOS(Local Oxidation of Silicon)構造がある。この構造は基板表面を選択的に酸化して厚い酸化膜を形成したものであり、多くの半導体装置に採用されている。しかしながらこのLOCOS構造は、ディープサブミクロンデバイスのように加工寸法精度が要求される高集積化半導体装置の絶縁分離構造には適していない。これは、選択酸化に使用する窒化素膜に代表される酸化防止膜の直下で、膜端部から酸化種が拡散侵入し、結果的にパズブークという厚い酸化膜領域が形成されてしまうためである。このた

め、高集積化を要求される半導体装置の絶縁分離構造としてLOCOS構造に代わり例えば特開昭63-143835号公報に開示されているような基板表面に浅い溝を形成し、その溝部分を選択的に酸化して熱酸化膜を形成する、選択酸化法の溝分離構造が採用され始めている。

【0003】この溝分離構造はLOCOS構造と比較して平面寸法の小さな素子分離酸化膜が形成できるという利点があることから0.5 $\mu$ m以下の加工寸法精度が要求されるディープサブミクロンデバイス製造に好適である。

【0004】

【発明が解決しようとする課題】例えば、半導体基板であるシリコン基板表面を酸化してシリコン熱酸化膜を形成する場合、形成された熱酸化膜とシリコン基板との界面に大きな機械的応力が発生する。これは、シリコン基板の一部が酸化されて熱酸化膜に変化する際に約2倍の体積膨張が生じるためである。この機械的応力が大きくなるとシリコン基板内に転位や積層欠陥等の結晶欠陥が発生しやすくなり、半導体装置の信頼性を劣化させる。また、酸化反応自体が応力の影響を受けて成長する酸化膜の形状が変化（圧縮応力により、酸化膜の成長が遅くなる）することが明らかとなっている。

【0005】図1は、従来の選択酸化法における溝構造の製造工程の模式図である。図1に示したように従来の方法では、シリコン基板1の表面にパット酸化膜（シリコン酸化膜）2を介して酸化防止膜3を堆積した後、所望の位置の酸化防止膜3、パット酸化膜2及びシリコン基板1を部分的に除去して溝を形成（図1a～b）し、その溝部分を酸化して素子分離熱酸化膜5を形成している（図1c）。

【0006】本構造では特に溝上端部近傍の基板形状が図1（c）に示したように鋭角に尖った形状（基板鋭角部4）に酸化される場合がある。

【0007】埋め込み絶縁膜6形成後、図1（d）に示すように酸化保護膜3に覆われていた素子形成領域にトランジスタ、容量等の電子回路を形成するが、このような基板鋭角部4が基板表面に残留すると、例えば、A. Bryant等が「Technical Digest of IEDM '94, pp. 671-674」に公表しているように、回路動作中にこの部分に電界集中が発生し、回路を構成するトランジスタや容量の耐圧特性を劣化させる場合がある。このような耐圧劣化現象は、溝上端近傍の基板の角度が90度以上でも溝上端近傍の基板側の曲率半径が約3nm以下では同様に生じることが経験的に知られている。そこで、本発明の目的は、溝分離構造を有する半導体装置において、回路を構成するトランジスタ容量の耐圧特性を劣化させることのない信頼性の高い半導体装置及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記目的は、半導体基板

表面の素子分離用溝上端部近傍の発生応力を低減させ、基板形状の鋭角化を防止することにより達成される。上記目的を達成するために本発明に係る半導体装置の製造方法は次の工程を含んでいる。

（1）半導体基板の回路形成面にパット酸化膜を形成する工程

（2）パット酸化膜の上に酸化防止膜を形成する工程

（3）半導体基板の回路形成面の所望の位置に前記酸化防止膜及びパット酸化膜を部分的に除去し、さらに半導体基板表面に所定の深さの溝を形成する工程

（4）パット酸化膜を残留している酸化防止膜の端部から5nm以上エッチング除去して後退させる工程

（5）半導体基板に形成した溝部分を、酸化雰囲気：H<sub>2</sub>/O<sub>2</sub>ガス比0.5以下、酸化量：後退させたパット酸化膜の空間（基板表面と酸化防止膜の間のすきま）が埋まるまでの範囲で酸化させる工程

（7）前記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程

（8）前記酸化防止膜の上に形成された前記埋め込み絶縁膜を除去する工程

（9）前記半導体基板の回路形成面の上に形成された前記酸化防止膜を除去する工程

（10）前記半導体基板の回路形成面の上に形成された前記パット酸化膜を除去する工程

また、上記目的を達成するために本発明に係る半導体装置は、半導体基板の回路形成面に形成された素子分離酸化膜構造が溝分離構造である半導体装置において、前記溝分離構造の溝の中央部側面での酸化量が5～70nmの範囲であり、また、溝の前記半導体基板の上端部の曲率半径が3～35nmの範囲であるようにした。

【0009】

【発明の実施の形態】以下、本発明の実施形態の実施例を図を参照して説明する。

【0010】

【実施例】本発明の第一実施例である半導体装置の溝分離構造の製造工程を図2、図3を用いて説明する。図2は本実施例における半導体装置の断面構造図、図3はその製造工程の概略を示すフローチャートである。以下、図3のフローチャートに添って製造工程を図2を参照しながら説明する。

【0011】（1）シリコン基板1の表面を熱酸化して厚さ5～数10nmのパット酸化膜2を形成する（図3（101）、（102））。

（2）パット酸化膜2の上に窒化珪素膜12を厚さ10～300nm程度堆積する。この窒化珪素膜12は、素子分離熱酸化膜5を形成する時の酸化防止膜として使用する（図3（103））。

（3）窒化珪素膜12上にホトレジスト13を形成する（図3（104））。

（4）通常の露光法を使用して、所望の位置のホトレジ

スト13を除去した後、窒化珪素膜12、パット酸化膜2及びシリコン基板1の一部をエッチング除去し、シリコン基板1の表面の側壁がシリコン基板1に対して所定の角度（例えば図中A部の角度が90～110度）を有する浅溝を形成する〔図3（105）～（107）〕。

（5）ホトレジスト13を除去した後、パット酸化膜2を5～40nm程度エッチング除去して後退させる〔図3（108）～（109）〕。

（6）その後、例えば900～1100℃の酸化雰囲気 $H_2/O_2$ ガス比1ppm以下でシリコン基板1表面を熱酸化し、溝部分に厚さ30nm程度の熱酸化膜5を形成する〔図3（110）〕。

（7）この溝酸化では酸化膜の体積膨張起因応力を極力緩和するため、溝内部が完全に埋め尽くされない範囲で停止させる必要がある。結果として溝内に残留した空間は、例えば、化学気相蒸着（CVD）法、スパッタ法等でシリコン酸化膜等の絶縁膜を堆積し、埋め込む（以下、埋め込み絶縁膜6）。また、これら化学気相蒸着法、スパッタ法等で製作したシリコン酸化膜等は一般に粗な膜であることから、埋め込み絶縁膜6堆積後、緻密化を目的として、1000℃前後のアニールまたは酸化雰囲気中でシリコン基板1を酸化させてもよい〔図3（111）〕。

（8）埋め込み絶縁膜6を化学機械研磨法（CMP）法あるいはドライエッチング法を使用してエッチバックする。この場合、酸化防止膜として用いた窒化珪素膜12はエッチングストッパーとなり、窒化珪素膜12下のシリコン基板1がエッチングされることを防止する働きを持つ〔図3（112）〕。

（9）そして、窒化珪素膜12及びパット酸化膜2を除去することで溝埋め込み構造は完了する〔図3（113）〕。その後、トランジスタ構造製造に必要な、例えばゲート酸化膜、ゲート電極の形成、不純物の導入、配線、層間絶縁膜等、多層配線構造の形成、表面保護膜の形成等を経て、半導体装置が完成する。

【0012】次に、本第一実施例の作用効果を図4、5を用いて説明する。本第一実施例で従来技術と異なる点は前記製造工程（5）のパット酸化膜2を後退させている点にある。図4は第一実施例で述べた製造工程（5）において、パット酸化膜の後退量を変化させて溝上端近傍の基板側の曲率半径の変化を解析した結果であり、横軸にパット酸化膜2後退量、縦軸はシリコン基板1の溝上端部の曲率半径をそれぞれ示している。図4から、パット酸化膜2後退量を零から大きくするに従い基板上端の曲率半径が大きくなることがわかる。後退量を5nmとすると曲率半径は約25nmとなり、後退量を20nmとすると曲率半径は約35nmまで増加する。しかし、後退量をこれ以上増加させても、曲率半径の増加はほとんど認められない。これは以下の理由によるものと考えられる。溝酸化時、酸化膜は窒化珪素膜12とシリ

コン基板1の間に約2倍の体積膨張をしながら成長していく（図5（a）（b）参照）。パット酸化膜2の後退量が零の場合（図5（a））、この体積膨張により窒化珪素膜12端部は持ち上げられ、結果として凹状に反る。この窒化珪素膜12の反り変形の反力が生じる結果、窒化珪素膜12下の酸化膜（パット酸化膜2の一部を含む）とシリコン基板1には圧縮応力が発生する。課題の項で説明したように、圧縮応力が酸化膜中に発生すると、酸化種の拡散、すなわち酸化反応の進行が抑制されるため、溝上端部では酸化速度が著しく低下する。一方、溝側壁においては、酸化膜の成長方向（側面法線方向）には拘束が無いため、成長する酸化膜の体積膨張の阻害因子がないことから、側壁面では酸化が相対的に抑制されずに進行する。このため、シリコン基板1の溝上端部近傍では、図5（a）中に破線で示したように酸化の進行に伴い基板形状が先鋭化していく。しかし、パット酸化膜2を後退させる（図5（b）参照）と、シリコン基板1の溝端部の一部が露出する。この露出した部分においては、酸化初期には成長した酸化膜と上部窒化珪素膜12が接触しないため、図5（a）を用いて説明したような窒化珪素膜12の反り変形による圧縮応力の発生もほとんどないことから、酸化は抑制することなく進行する。その結果として溝上端部が丸まり、曲率半径が大きくなる。なお、前記製造工程（6）で酸化をさらに継続すると、該露出部分で成長した酸化膜が窒化珪素膜と接触してしまい、その後は先に述べたように圧縮応力が急激に発生するので、形成された曲率は再び減少してしまうので注意を要する。

【0013】本第一実施例においては、溝分離構造の基板側上端近傍の曲率半径を3nmよりも十分大きくすることができ、MOS型トランジスタの製造工程において、溝分離構造を形成する際にシリコン基板の溝上端部近傍に鋭角部が残留することを防止できるため、ゲート電極膜端部近傍の電界集中に起因したトランジスタのリーク電流増加あるいは耐圧特性の低下を防止でき、トランジスタの電氣的信頼性を向上できるという効果がある。

【0014】次に、本発明の第二実施例である半導体装置の溝分離構造の製造工程を図2、図6を使用して説明する。図6に示した第二実施例の半導体装置の溝埋め込み構造の製造方法（フローチャート）は、第一実施例の製造工程（本文中）の（6）を変更したものである。第一実施例と比較して大きく形状等は変わらないので、本実施例における半導体装置の断面図は図2を使用して説明する。以下、図4のフローチャートに添って本実施例の製造工程を説明する。

【0015】（1）シリコン基板1の表面を熱酸化して厚さ5～数10nmのパット酸化膜2を形成する〔図6（201）、（202）〕。

（2）パット酸化膜2の上に窒化珪素膜12を厚さ10

～300 nm程度堆積する。この窒化珪素膜12は、素子分離熱酸化膜5を形成する時の酸化防止膜として使用する〔図6(203)〕。

(3) 窒化珪素膜12上にホトレジスト13を形成する〔図6(204)〕。

(4) 通常の露光法を使用して、所望の位置のホトレジスト13を除去した後、窒化珪素膜12、パット酸化膜2及びシリコン基板1の一部をエッチング除去し、シリコン基板1の表面の側壁がシリコン基板1に対して所定の角度(例えば図中A部の角度が90～110度)を有する浅溝を形成する〔図6(205)～(207)〕。

(5) ホトレジスト13を除去した後、パット酸化膜2を10～40 nm程度エッチング除去して後退させる〔図6(208)～(209)〕。

(6) シリコン基板1に形成した溝部分を $H_2/O_2$ ガス混合酸化雰囲気(ガス流量比 $r: 0 < r \leq 0.5$ )で熱酸化し、厚さ約30 nmの素子分離熱酸化膜5を形成する〔図6(210)〕。

(7) この溝酸化では酸化膜の体積膨張起因応力を極力緩和するため、溝内部が完全に埋め尽くされない範囲で停止させる必要がある。結果として溝内に残留した空間は、例えば、化学気相蒸着(CVD)法、スパッタ法等でシリコン酸化膜等の絶縁膜を堆積し、埋め込む(以下、埋め込み絶縁膜6)。また、これら化学気相蒸着法、スパッタ法等で製作したシリコン酸化膜等は一般に粗な膜であることから、埋め込み絶縁膜6堆積後、緻密化を目的として、1000℃前後のアニールまたは酸化雰囲気中でシリコン基板1を酸化させてもよい〔図6(211)〕。

(8) 埋め込み絶縁膜6を化学機械研磨法(CMP)法あるいはドライエッチング法を使用してエッチバックする。この場合、酸化防止膜として用いた窒化珪素膜12はエッチングストッパーとなり、窒化珪素膜12下のシリコン基板1がエッチングされることを防止する働きを持つ〔図6(212)〕。

(9) そして、窒化珪素膜12及びパット酸化膜2を除去することで溝埋め込み構造は完了する〔図6(213)〕。その後、トランジスタ構造製造に必要な、例えばゲート酸化膜、ゲート電極の形成、不純物の導入、配線、層間絶縁膜等、多層配線構造の形成、表面保護膜の形成等を経て、半導体装置が完成する。

【0016】次に図7を参照して本実施例の作用効果を説明する。酸化雰囲気の $H_2/O_2$ ガス比 $r$ は $0 \leq r < 2$ まで変化することができる。 $r$ が2に達すると爆発的に反応が進行するので、安全を考慮すると、実質的には $r = 1.8$ 程度が上限となる。一般に、ガス比が前記範囲内においては、酸化温度を一定と仮定すると、この比が大きくなるに伴い、酸化速度が速くなり、小さいと酸化速度は遅くなる。そこで、この酸化速度の半導体基板の溝上端部の形状に及ぼす影響を解析した。その結果を図

7に示す。横軸には $H_2/O_2$ ガス比、縦軸は半導体基板上端部の曲率半径を示す。図7より、酸化雰囲気の水素( $H_2$ )流量比が大きくなるほど、形成される曲率半径が急激に減少することがわかる。ガス比が0.5に達すると、曲率半径は約3 nmにまで減少する。ガス比をこれ以上大きくすると、曲率半径はわずかながら減少する。

【0017】この原因は、以下のように説明できる。酸化は、既に述べたように、シリコンとシリコン酸化膜の界面近傍でひずみ(応力)を発生させる。一方、シリコン酸化膜は高温(950℃以上)で顕著な粘性挙動を示すため、高温では時間と共に発生した応力が緩和されていく。したがって、酸化膜厚を一定と仮定すると、発生歪み(応力)の値は一定であるが、酸化速度が速い( $H_2/O_2$ ガス比が大きい)ほど発生した応力が緩和される時間が短くなるので、結果的に残留応力が高くなる。酸化速度が遅い( $H_2/O_2$ ガス比が小さい)場合には、シリコン酸化膜の粘性効果が働き、酸化膜厚一定条件と比較すると相対的に応力の緩和が進む。酸化誘起応力が高くなるほど、その近傍での酸化が抑制される。したがって、シリコン基板の溝上端部近傍は、上面と側面からの酸化膜の成長で応力が集中する場所であることから、残留応力が高くなるとこの近傍の酸化が抑制され、結果的に先端が尖る形状になっていく。以上のことから、 $H_2/O_2$ ガス比を小さくすることで、半導体基板の溝上端においては酸化がより低応力の状態で進行することになり、結果としてシリコン基板1の上端近傍の曲率化が図られたものである。

【0018】上記理由により、本第二実施例によれば、溝分離構造の基板側上端近傍の曲率半径を3 nmよりも十分大きくすることができるので、トランジスタの製造工程において、溝分離構造を形成する際にシリコン基板の溝上端部近傍の鋭角部が残留することを防止できるため、ゲート電極膜端部近傍の電界集中に起因したトランジスタのリーク電流増加あるいは耐圧特性の低下を防止でき、トランジスタの電気的信頼性を向上できるという効果がある。次に、本発明の第三実施例である半導体装置の溝埋め込み構造の製造工程を図2、図8を使用して説明する。図8に示した第三実施例の半導体装置の溝埋め込み構造の製造方法(フローチャート)は、第一実施例(本文中)の製造工程の(6)を変更したものである。第一実施例と比較して大きく形状等は変わらないので、本実施例における半導体装置の断面図は図2を使用して説明する以下、図8のフローチャートに添って本実施例の製造工程を説明する。

【0019】(1) シリコン基板1の表面を熱酸化して厚さ5～数10 nmのパット酸化膜2を形成する〔図8(301)、(302)〕。

(2) パット酸化膜2の上に窒化珪素膜12を厚さ10～300 nm程度堆積する。この窒化珪素膜12は、素

子分離熱酸化膜5を形成する時の酸化防止膜として使用する〔図8(303)〕。

(3) 窒化珪素膜12上にホトレジスト13を形成する〔図8(304)〕。

(4) 通常の露光法を使用して、所望の位置のホトレジスト13を除去した後、窒化珪素膜12、パット酸化膜2及びシリコン基板1の一部をエッチング除去し、シリコン基板1の表面の側壁がシリコン基板1に対して所定の角度(例えば図中A部の角度が90°~110°)を有する浅溝を形成する〔図8(305)~(307)〕。

(5) ホトレジスト13を除去した後、パット酸化膜2を5~40nm程度エッチング除去して後退させる〔図8(308)~(309)〕。

(6) シリコン基板1に形成した溝部分を $H_2/O_2$ ガス混合酸化雰囲気(ガス流量比 $r: 0 < r \leq 0.5$ )で熱酸化し、半導体基板1に形成した溝部分を、後退させたパット酸化膜の空間が埋まるまで酸化させる。〔図8(310)〕。

(7) この溝酸化では酸化膜の体積膨張起因応力を極力緩和するため、溝内部が完全に埋め尽くされない範囲で停止させる必要がある。結果として溝内に残留した空間は、例えば、化学気相蒸着(CVD)法、スパッタ法等でシリコン酸化膜等の絶縁膜を堆積し、埋め込む(以下、埋め込み絶縁膜6)。また、これら化学気相蒸着法、スパッタ法等で製作したシリコン酸化膜等は一般に粗な膜であることから、埋め込み絶縁膜6堆積後、緻密化を目的として、1000℃前後のアニールまたは酸化雰囲気中でシリコン基板1を酸化させてもよい〔図8(311)〕。

(8) 埋め込み絶縁膜6を化学機械研磨法(CMP)法あるいはドライエッチング法を使用してエッチバックする。この場合、酸化防止膜として用いた窒化珪素膜12はエッチングストッパーとなり、窒化珪素膜12下のシリコン基板1がエッチングされることを防止する働きを持つ〔図8(312)〕。

(9) そして、窒化珪素膜12及びパット酸化膜2を除去することで溝埋め込み構造は完了する〔図8(313)〕。その後、トランジスタ構造製造に必要な、例えばゲート酸化膜、ゲート電極の形成、不純物の導入、配線、層間絶縁膜等、多層配線構造の形成、表面保護膜の形成等を経て、半導体装置が完成する。

【0020】本実施例の作用効果は、先ほど第一実施例でも説明したように(図5参照)、後退させたパット酸化膜の空間が埋まった後では、窒化珪素膜12に反り変形が発生し、この膜の曲げによる力によって窒化珪素膜12下のパット酸化膜2及びシリコン基板1には圧縮応力が発生するため、この応力により酸化が抑制され、結果として、溝上端部近傍のシリコン基板形状が尖ったものになる。上記のように、酸化量を後退させたパット酸化膜の空間が埋まるまでとすることにより、反り変形に

よる圧縮応力が発生しなくなるため、シリコン基板1の上端部の酸化が滑らかに進行し、結果としてシリコン基板1の上端近傍の曲率化が図られることになる。

【0021】上記理由により、本第三実施例によれば、溝分離構造の基板側上端近傍の曲率半径を3nmよりも十分大きくすることができるので、トランジスタの製造工程において、溝分離構造を形成する際にシリコン基板の溝上端部近傍の鋭角部が残留することを防止できるため、ゲート電極膜端部近傍の電界集中に起因したトランジスタのリーク電流増加あるいは耐圧特性の低下を防止でき、トランジスタの電氣的信頼性を向上できるという効果がある。次に、本発明の第四実施例である半導体装置の溝埋め込み構造とその製造工程を図2、図9を用いて説明する。図2は本実施例における半導体装置の断面構造図、図9はその製造工程の概略を示すフローチャートである。以下、図9のフローチャートに添って製造工程を図2を参照しながら説明する。

【0022】(1) シリコン基板1の表面を熱酸化して厚さ5~50nmのパット酸化膜2を形成する〔図9(401)、(402)〕。

(2) パット酸化膜2の上に窒化珪素膜12を厚さ10~300nm程度堆積する。この窒化珪素膜12は、素子分離熱酸化膜5を形成する時の酸化防止膜として使用する〔図9(403)〕。

(3) 窒化珪素膜12上にホトレジスト13を形成する〔図9(404)〕。

(4) 通常の露光法を使用して、所望の位置のホトレジスト13を除去した後、窒化珪素膜12、パット酸化膜2及びシリコン基板1の一部をエッチング除去し、シリコン基板1の表面の側壁がシリコン基板1に対して所定の角度(例えば図中A部の角度が90°~110°)を有する浅溝を形成する〔図9(405)~(407)〕。

(5) ホトレジスト13を除去した後、パット酸化膜2を10~40nm程度エッチング除去して後退させる〔図9(408)~(409)〕。

(6) その後、例えば900~1100℃で酸化雰囲気 $H_2/O_2$ ガス比1ppm以下でシリコン基板1表面を熱酸化し、熱酸化膜5を形成する〔図9(410)〕。

(7) この溝酸化では酸化膜の体積膨張起因応力を極力緩和するため、溝内部が完全に埋め尽くされない範囲で停止させる必要がある。結果として溝内に残留した空間は、例えば、化学気相蒸着(CVD)法、スパッタ法等でシリコン酸化膜等の絶縁膜を堆積し、埋め込む(以下、埋め込み絶縁膜6)。また、これら化学気相蒸着法、スパッタ法等で製作したシリコン酸化膜等は一般に粗な膜であることから、埋め込み絶縁膜6堆積後、緻密化を目的として、1000℃前後のアニールまたは酸化雰囲気中でシリコン基板1を酸化させてもよい〔図9(411)〕。

(8) 埋め込み絶縁膜6を化学機械研磨法(CMP)法

あるいはドライエッチング法を使用してエッチバックする。この場合、酸化防止膜として用いた窒化珪素膜12はエッチングストッパーとなり、窒化珪素膜12下のシリコン基板1がエッチングされることを防止する働きを持つ〔図9（412）〕。

（9）そして、窒化珪素膜12及びパット酸化膜2を除去することで溝埋め込み構造は完了する〔図9（413）〕。その後、トランジスタ構造製造に必要な、例えばゲート酸化膜、ゲート電極の形成、不純物の導入、配線、層間絶縁膜等、多層配線構造の形成、表面保護膜の形成等を経て、半導体装置が完成する。説明する。本実施例の半導体装置の溝分離構造は、溝の中央部側面での酸化量が5～70nmの範囲であり、また、溝の半導体基板の上端部の曲率半径が3～35nmの範囲にあるものである。

【0023】次に図10を参照して本実施例の作用効果を説明する。

【0024】図10は溝中央部側面での素子分離熱酸化膜の酸化量と曲率半径の関係を本実施例に沿ってシミュレーションした結果あり、図中のaはパット酸化膜厚を示している。図10より、シリコン基板上端部の曲率半径Rは、溝側壁の酸化量とともに大きくなり、その後、さらに最大値をとってほぼ一定値に飽和することがわかる。また、その極大値はパット酸化膜aが厚いほど大きくなるが、10nm以上ではほぼ一定値（約35nm）となっている。曲率半径が最大値をとる理由としては、溝の酸化と共に曲率半径は大きくなるが、徐々に、後退させたパット酸化膜の空間が埋まり、その後図5で示したように、酸化の進入とともに、窒化珪素膜の反り変形が発生（シリコン基板及び酸化膜には圧縮応力が発生）し、この圧縮応力により酸化が抑制されたものと考えられる。

【0025】曲率半径Rは実験により、約3nm以上あればトランジスタ特性に悪影響を与えないことが我々の実験により判明している。そのため、この曲率半径を確保できる溝側壁の酸化量は図10より、5nm以上となり、また、30nm以上酸化させても曲率半径は大きくならない。したがって、曲率半径を最大にするためには、パット酸化膜厚は10nm以上、側壁酸化量は30nm以上とすることが好ましい。

【0026】本実施例においては、本構造、製造方法を採用することで、溝上端近傍の曲率半径を約35nmまで大きくすることが可能であり、ゲート電極膜端部近傍の電界集中に起因したトランジスタのリーク電流増加あるいは耐圧特性の低下を防止でき、トランジスタの電氣的信頼性を向上できるという効果がある。

【0027】

【発明の効果】本発明によれば、溝分離構造を有する半導体装置において、回路を構成するトランジスタや容量の耐圧特性を劣化させることのない半導体装置及び製造方法を提供することができる。

【図面の簡単な説明】

【図1】従来の選択酸化法における溝分離構造の製造工程の模式図である。

【図2】本願に係る第一実施例の溝分離構造の製造工程の模式図である。

【図3】本願に係る第一実施例の製造工程を示すフローチャートである。

【図4】本願に係る第一実施例の作用効果を説明する図である。

【図5】本願に係る第一実施例の作用効果を説明する図である。

【図6】本願に係る第二実施例の製造工程を示すフローチャートである。

【図7】本願に係る第二実施例の作用効果を説明する図である。

【図8】本願に係る第三実施例の製造工程を示すフローチャートである。

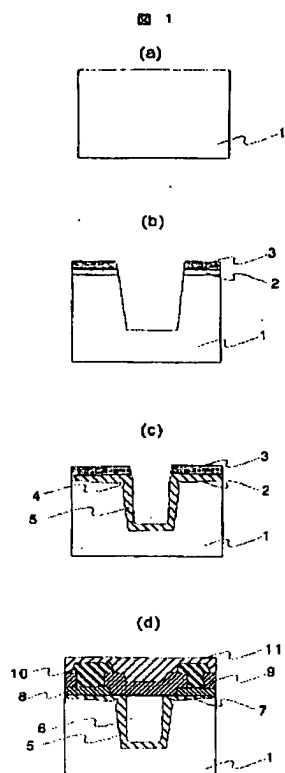
【図9】本願に係る第四実施例の製造工程を示すフローチャートである。

【図10】本願に係る第四実施例の作用効果を説明する図である。

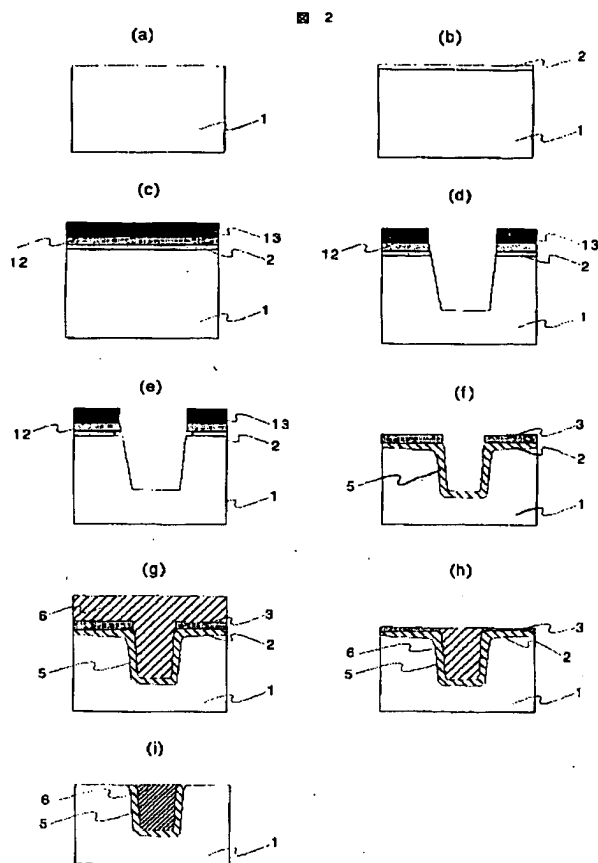
【符号の説明】

1・・・シリコン基板、2・・・パット酸化膜、3・・・酸化防止膜、4・・・基板鋭角部、5・・・素子分離熱酸化膜、6・・・埋め込み絶縁膜、7・・・ゲート酸化膜、8・・・ゲート電極膜、9・・・絶縁膜、10・・・配線、11・・・層間絶縁膜、12・・・窒化珪素膜、13・・・ホトレジスト。

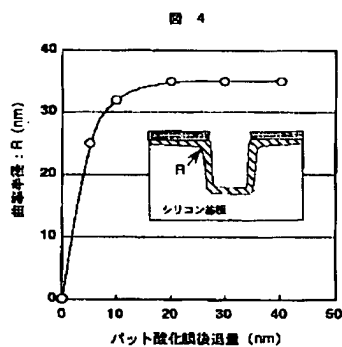
【図1】



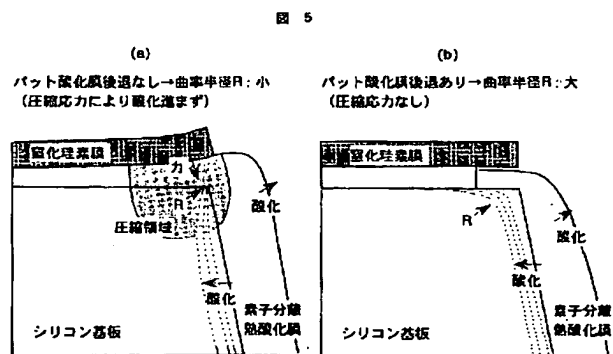
【図2】



【図4】



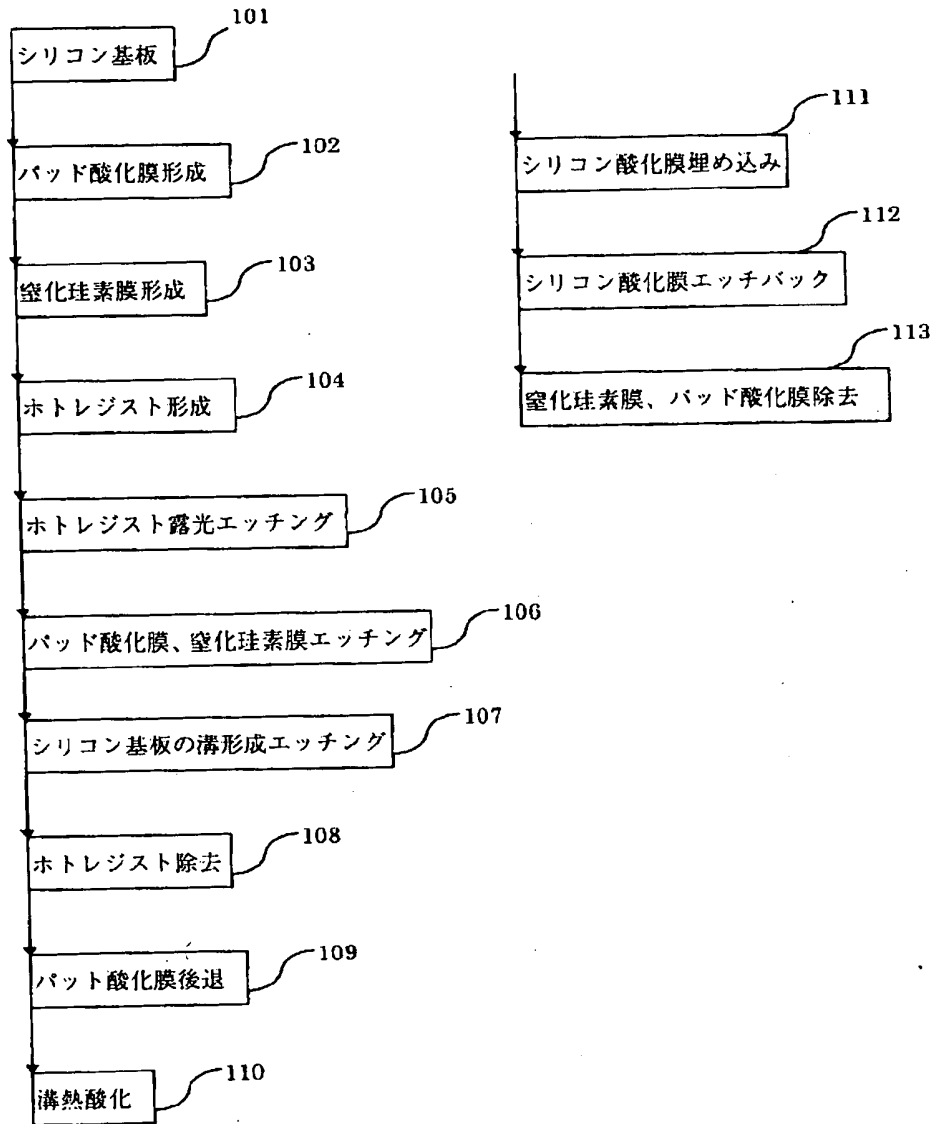
【図5】





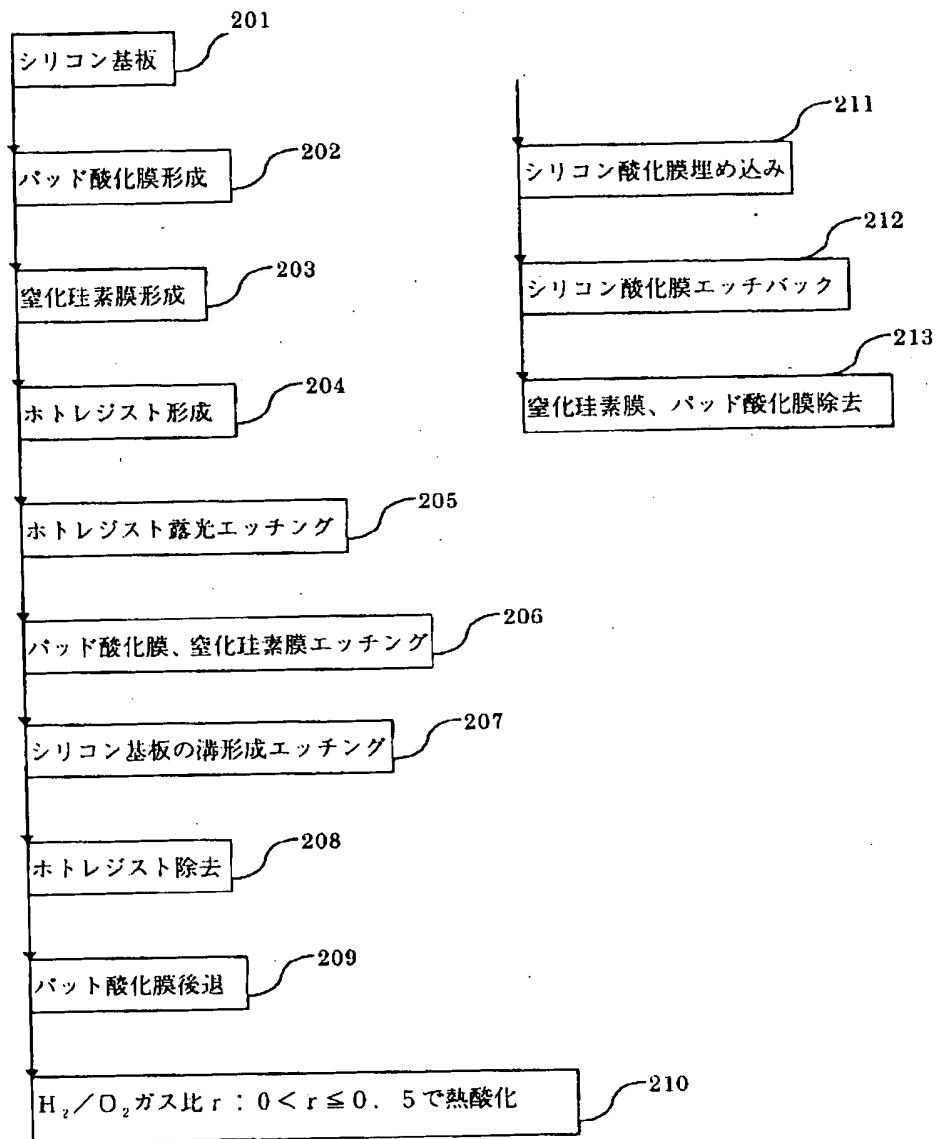
【図3】

図 3



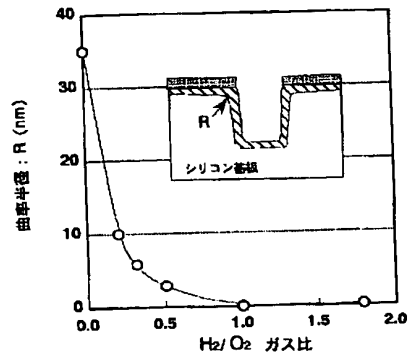
【図6】

図 6



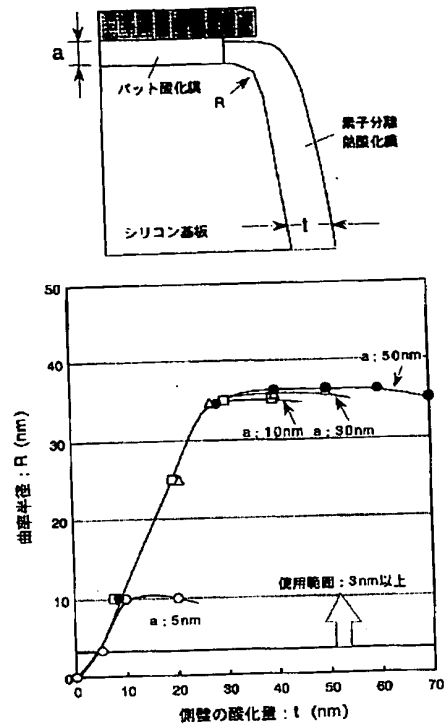
【図7】

図 7



【図10】

図 10



【図8】

図 8

